

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Januar 2005 (13.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/004231 A1

(51) Internationale Patentklassifikation⁷: H01L 21/762, 33/00

(21) Internationales Aktenzeichen: PCT/DE2004/001329

(22) Internationales Anmeldedatum:
24. Juni 2004 (24.06.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 28 543.1 24. Juni 2003 (24.06.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): OSRAM OPTO SEMICONDUCTORS GMBH [DE/DE]; Wernerwerkstrasse 2, 93049 Regensburg (DE).

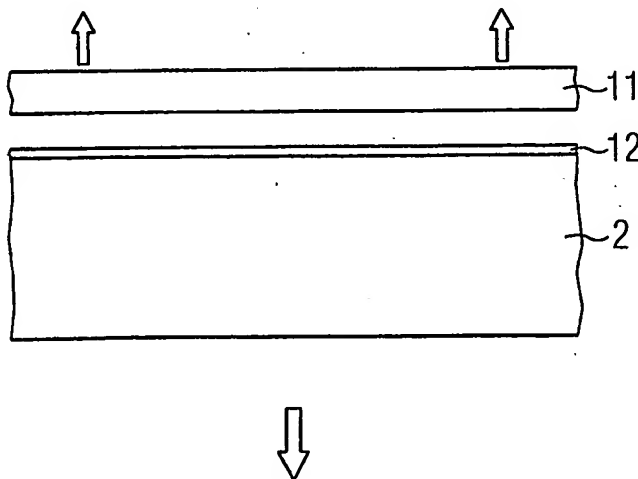
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BRUEDERL, Georg [DE/DE]; Akazienweg 19, 93133 Burglengenfeld (DE). HAHN, Berthold [DE/DE]; Am Pfannenstiel 2, 93155 Hemau (DE). HAERLE, Volker [DE/DE]; Eichenstrasse 35, 93164 Laaber (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF SEMI-CONDUCTOR CHIPS

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN VON HALBLEITERCHIPS



(57) Abstract: The invention relates to a method for producing a plurality of semi-conductor chips, especially radiation-emitting semi-conductor chips. Said chips comprise, respectively, at least one epitaxially produced functional stack of semi-conductor chips. Said method comprises the following steps: disposing an epitaxial growth substrate wafer (1), which is essentially made of a semi-conductor material which constitutes the same or similar semi-conductor material system in terms of grid parameters as the system on which a semi-conductor layer sequence for the functional semi-conductor stack is based; forming a separation area (4) which is parallel to a main surface (100) of the epitaxial growth substrate wafer (1) in said wafer (1), connecting the epitaxial growth substrate wafer (1) to an auxiliary support wafer (2), separating an opposite section (11) of the epitaxial growth substrate wafer (1) with respect to the

separation area (4), from the auxiliary support wafer (2) along said separation area (4), forming an epitaxial growth surface on the section (12) of the epitaxial growth support surface remaining on the auxiliary support wafer (2) for a subsequent epitaxial growth of the semi-conductor layer sequence; epitaxial growth of the semi-conductor layer sequence (5) on the epitaxial growth surface, depositing a chip substrate wafer on the semi-conductor layer sequence; separating the auxiliary support wafer (2), and dividing the composite semi-conductor layer sequence and chip substrate wafer (7) into individually separated semi-conductor chips.

(57) Zusammenfassung: Verfahren zum Herstellen einer Mehrzahl von Halbleiterchips, insbesondere von strahlungsemitierenden Halbleiterchips, mit jeweils mindestens einem epitaktisch hergestellten funktionellen Halbleiterschichtstapel, das folgende Verfahrensschritte umfaßt: - Bereitstellen eines Aufwachssubstratwafers (1), der im Wesentlichen Halbleitermaterial aus einem hinsichtlich Gitterparameter gleichen oder ähnlichen Halbleitermaterialsystem umfaßt wie dasjenige, auf dem eine Halbleiterschichtenfolge für die funktionellen Halbleiterschichtstapel basiert, - Ausbilden einer parallel zu einer Hauptfläche (100) des Aufwachssubstratwafers (1) liegende Trennzone (4) im Aufwachssubstratwafer (1), - Verbinden des Aufwachssubstratwafers (1) mit einem Hilfsträgerwafer (2), - Abtrennen eines aus Sicht der Trennzone (4) vom Hilfsträgerwafer (2) abgewandten

[Fortsetzung auf der nächsten Seite]

WO 2005/004231 A1



(74) Anwalt: EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstrasse 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Teiles (11) des Aufwachssubstratwafers (1) entlang der Trennzone (4), - Ausbilden einer Aufwachsfläche auf dem auf dem Hilfsträgerwafer (2) verbliebenen Teil (12) des Aufwachssubstratwafers für ein nachfolgendes epitaktisches Aufwachsen einer Halbleiterschichtenfolge, - Epitaktisches Aufwachsen der Halbleiterschichtenfolge (5) auf die Aufwachsfläche, - Aufbringen eines Chipsubstratwafers auf die Halbleiterschichtenfolge, - Abtrennen des Hilfsträgerwafers (2), und - Vereinzeln des Verbundes von Halbleiterschichtenfolge und Chipsubstratwafer (7) zu voneinander getrennten Halbleiterchips.

Beschreibung

Verfahren zum Herstellen von Halbleiterchips

5 Die Erfindung betrifft ein Verfahren zum Herstellen einer Mehrzahl von Halbleiterchips, insbesondere von strahlungsemittierenden Halbleiterchips, mit jeweils mindestens einem epitaktisch hergestellten funktionellen Halbleiterschichtstapel.

10 Die vorliegende Patentanmeldung nimmt die Priorität der Deutschen Patentanmeldung mit dem Aktenzeichen 103 28 543.1 (Prioritätsdatum: 24.06.2003) in Anspruch, deren Offenbarungsgesamt hiermit durch Rückbezug in diese Anmeldung aufgenommen
15 wird.

Für die Erhöhung des internen Wirkungsgrades von auf Nitrid-III/V-Verbindungshalbleitermaterial basierenden strahlungsemittierenden Halbleiterstrukturen, insbesondere von auf GaN-
20 Halbleitermaterial basierenden strahlungsemittierenden Halbleiterstrukturen, ist eine der Hauptvoraussetzungen die Reduzierung der Defektdichte im Nitrid-Halbleitermaterial. Dafür ist die vielversprechendste Methode die Bereitstellung von Aufwachsflächen aus dem gleichen Materialsystem wie die
25 jeweilig epitaktisch aufzuwachsende strahlungsemittierende Halbleiterstruktur. In vielen Fällen sind entsprechende Substrate nur schwer verfügbar und überdies nur mit hohem technischen Aufwand herstellbar und daher deutlich teurer als die üblicherweise verwendeten alternativen Substrate, wie beispielsweise aus SiC-Substrate und Saphir-Substrate für auf
30 GaN basierende strahlungsemittierende Halbleiterstrukturen.

Unter die Gruppe von auf Nitrid-III/V-Verbindungshalbleitermaterial basierenden strahlungsemittierenden Halbleiterstrukturen fällt im vorliegenden Zusammenhang insbesondere jede für ein strahlungsemittierendes Halbleiterbauelement geeignete Halbleiterstruktur, die eine

Schichtenfolge aus unterschiedlichen Einzelschichten aufweist und die mindestens eine Einzelschicht enthält, die ein Nitrid-III/V-Verbindungshalbleitermaterial, vorzugsweise aus dem Nitrid-III/V-Verbindungshalbleitermaterialsystem $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$, aufweist. Dies schließt natürlich nicht aus, dass neben In, Al und/oder Ga und N in der Zusammensetzung auch weitere Elemente enthalten sein können. Eine solche Halbleiterstruktur kann beispielsweise einen herkömmlichen pn-Übergang, eine Doppelheterostruktur, eine Einfach-Quantentopfstruktur (SQW-Struktur) oder eine Mehrfach-Quantentopfstruktur (MQW-Struktur) aufweisen. Solche Strukturen sind dem Fachmann bekannt und werden von daher an dieser Stelle nicht näher erläutert.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Herstellen von Halbleiterchips bereitzustellen, das mit möglichst geringem Substrataufwand ein Aufwachsen der gewünschten Halbleiterschichtfolge auf einer Aufwachsfläche aus dem gleichen oder einem ähnlichen Materialsystem wie dasjenige, aus dem die jeweils epitaktisch aufzuwachsende Halbleiterschichtenfolge stammt, ermöglicht.

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Patentanspruches 1 gelöst.

Vorteilhafte Ausgestaltungen des Verfahrens sind in den Unteransprüchen 2 bis 16 angegeben.

Bei einem Verfahren gemäß der Erfindung wird ein Aufwachs-substratwafer mit einem Hilfsträgerwafer verbunden. Der Aufwachssubstratwafer umfaßt dabei im Wesentlichen Halbleitermaterial aus einem insbesondere hinsichtlich Gitterparameter gleichen oder ähnlichen Halbleitermaterialsystem wie dasjenige, auf dem die Halbleiterschichtfolge für die funktionellen Halbleiterschichtstapel basiert. Der Hilfsträgerwafer ist für energiereiche elektromagnetische Strahlung, insbesondere für Laserstrahlung durchlässig.

Im Aufwachssubstratwafer wird eine parallel zur Verbindungsebene zwischen dem Aufwachssubstratwafer und dem Hilfsträgerwafer liegende Trennzone ausgebildet, entlang der nach dem
5 Aufbringen auf den Hilfsträgerwafer ein Teil des Aufwachssubstratwafers abgetrennt wird, so dass auf dem Hilfsträgerwafer nur noch ein Teil des Aufwachssubstratwafers verbleibt. Der abgetrennte Teil des Aufwachssubstratwafers kann vorteilhafterweise für die Herstellung von weiteren Hilfsträgerwafer/Aufwachssubstratwafer-Verbunden verwendet werden.
10

Nach dem teilweisen Abtrennen des Aufwachssubstratwafers wird die Trennfläche des auf dem Hilfsträgerwafer verbliebenen Teiles des Aufwachssubstratwafers zu einer Aufwachsfläche für
15 ein nachfolgendes epitaktisches Aufwachsen einer Halbleiterschichtenfolge der Halbleiterschichtstapel ausgebildet.

Auf diese Aufwachsfläche wird wiederum nachfolgend die Halbleiterschichtfolge für die Halbleiterschichtstapel epitaktisch aufgewachsen.
20

Nach diesen Verfahrensschritten wird auf die Halbleiterschichtenfolge ein Chipsubstratwafer aufgebracht und der Hilfsträgerwafer abgetrennt.
25

Vor dem Aufbringen des Chipsubstratwafers auf die Halbleiterschichtenfolge kann, falls vorgesehen, eine metallische Kontaktschicht und/oder, wie für die Herstellung von Dünnschicht-Leuchtdiodenchips erforderlich, eine reflektierende
30 Schicht oder Schichtenfolge aufgebracht.

Schließlich können auf die Halbleiterschichtenfolge auf ihrer vom Chipsubstratwafer abgewandten Seite elektrische Kontaktschichten, beispielsweise in Form von Kontakt-
35 Metallisierungen aufgebracht werden, bevor dann der Verbund von Halbleiterschichtenfolge und Chipsubstratwafer zu voneinander getrennten Halbleiterchips vereinzelt wird.

Bei einer zweckmäßigen Ausführungsform wird bereits vor dem Aufbringen des Chipsubstratwafers die Halbleiterschichtenfolge zu einer Mehrzahl von nebeneinander auf dem Hilfsträgerwafer angeordneten epitaktischen Halbleiterschichtstapeln strukturiert. Danach können zumindest Flanken der epitaktischen Halbleiterschichtstapel zumindest teilweise mit Passivierungsmaterial versehen werden. Weiterhin kann bei Bedarf vor dem Aufbringen des Chipsubstratwafers die epitaktische Halbleiterschichtenfolge mit einer elektrischen Kontaktschicht versehen werden.

Die Trennzone wird bevorzugt mittels Ionen-Implantation, beispielsweise von Wasserstoff, erzeugt.

Das Trennen des Verbundes aus Hilfsträgersubstrat und Aufwuchssubstrat entlang der Trennzone erfolgt vorzugsweise mittels thermischem Absprengen. Ein solches Verfahren ist beispielsweise aus der US 5,374,564 und aus der US 6,103,597 bekannt, deren Offenbarungsgehalt insofern hiermit zur Rückbezug aufgenommen wird.

Nach dem Aufbringen der Halbleiterschichtfolge, ggf. deren weiterer Prozessierung und dem Aufbringen des Chipsubstratwafers erfolgt ein Abtrennen des Hilfsträgerwafers. Dies wird bevorzugt mittels eines Laser-Abhebeverfahrens durchgeführt. Der Hilfsträgerwafer wird dabei im Wesentlichen vollständig von der Halbleiterschichtenfolge bzw. von den Halbleiterschichtstapeln abgetrennt.

Unter „im Wesentlichen vollständig“ ist zu verstehen, dass der Hilfsträgerwafer insoweit abgetrennt wird, dass auf der Halbleiterschichtenfolge bzw. auf den Halbleiterschichtstapeln nur noch solche Reste des Hilfsträgerwafers verbleiben, die keine oder nur eine vernachlässigbar geringe Beeinträchtigung der Halbleiterschichtenfolge bzw. der Halbleiterschichtstapel hervorrufen können. Vorzugsweise wird der

Hilfsträgerwafer vollständig abgetrennt.

Der Hilfsträgerwafer ist beispielsweise für elektromagnetische Strahlung mit Wellenlängen unterhalb von 360 nm durchlässig ist.

Der Hilfsträgerwafer ist hinsichtlich seines thermischen Ausdehnungskoeffizienten vorzugsweise an den Aufwachssubstratwafer angepasst.

10

Der Hilfsträgerwafer muss vorteilhafterweise bei einem Verfahren gemäß der Erfindung nicht möglichst einkristallin sein und ist vorzugsweise polykristallin.

15 Die Verbindung zwischen dem Aufwachssubstratwafer und dem Hilfsträgerwafer kann mit Vorteil mittels Siliziumoxid hergestellt werden.

Bei einer Halbleiterschichtenfolge auf der Basis von GaN basiert das Material des Aufwachssubstratwafers vorzugsweise ebenfalls auf GaN. Der Hilfsträgerwafer kann dabei vorzugsweise aus Saphir und/oder AlN bestehen.

Die Aufwachsfläche für die Halbleiterschichtfolge wird mit Vorteil mittels Ätzen und/oder Schleifen für das epitaktische Aufwachsen präpariert.

Ein Verfahren gemäß der Erfindung eignet sich insbesondere für die Herstellung von defektreduzierten Halbleiterstrukturen, insbesondere von defektreduzierten Halbleiterstrukturen auf Basis von Nitrid-III/V-Verbindungshalbleitermaterial.

Unter die Gruppe von auf Nitrid-III/V-Verbindungshalbleitermaterial basierenden strahlungsemitierenden Halbleiterstrukturen fällt im vorliegenden Zusammenhang insbesondere jede für ein strahlungsemitierendes Halbleiterbauelement geeignete Halbleiterstruktur, die eine

Schichtenfolge aus unterschiedlichen Einzelschichten aufweist und die mindestens eine Einzelschicht enthält, die ein Nitrid-III/V-Verbindungshalbleitermaterial, vorzugsweise aus dem Nitrid-III/V-Verbindungshalbleitermaterialsystem $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$, aufweist. Eine Halbleiterstruktur auf Basis von GaN weist beispielsweise mindestens eine Halbleiterschicht auf, die $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ enthält.

Dies schließt natürlich nicht aus, dass neben In, Al und/oder Ga und N in der Zusammensetzung auch weitere Elemente enthalten sein können. Eine solche Halbleiterstruktur kann beispielsweise einen herkömmlichen pn-Übergang, eine Doppelheterostruktur, eine Einfach-Quantentopfstruktur (SQW-Struktur) oder eine Mehrfach-Quantentopfstruktur (MQW-Struktur) aufweisen. Solche Strukturen sind dem Fachmann bekannt und werden von daher an dieser Stelle nicht näher erläutert.

Der während des Verfahrens abgetrennte Teil des Aufwachs-substratwafers wird vorzugsweise zur Herstellung weiterer Halbleiterchips verwendet und dazu mit einem weiteren Hilfsträgerwafer verbunden, von dem dann entsprechend der oben geschilderten Vorgehensweise wiederum ein Teil abgetrennt wird. Dies kann vorteilhafterweise mehrfach wiederholt werden, so lange bis der Aufwachssubstratwafer aufgebraucht ist.

Die Halbleiterschichtenfolge kann beispielsweise mittels metallorganischer Dampfphasenepitaxie (MOVPE), Molekularstrahlepitaxie (MBE) und/oder Flüssigphasenepitaxie (LPE) oder mittels einer anderen herkömmlichen Methode hergestellt werden.

Durch die oben erläuterte Kombination des thermischen Abtrennens von Teilen eines Aufwachssubstratwafers beispielsweise aus GaN mittels implantierter Trennzone mit einem Laser-Liftoff eines Hilfsträgerwafers für einen beim thermischen Abtrennen verbleibenden Teil des Aufwachssubstratwafers können insbesondere Hochleistungs-Leuchtdioden preisgünstig auf

hochwertigen GaN-Quasisubstraten hergestellt werden. Außerdem kann die GaN-basierte Dünnschicht-Technologie zur Herstellung von Leuchtdioden durch Verwendung von defektreduzierten und gitterangepassten GaN-Quasisubstraten optimiert werden.

5

Weitere Vorteile, Ausführungsformen und Weiterbildungen des Verfahrens ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1a bis 2h erläuterten Ausführungsbeispielen. Es zeigen:

10

Figur 1a bis 1i eine schematische Darstellung des Verfahrens gemäß einem ersten Ausführungsbeispiel und

15

Figur 2a bis 2h eine schematische Darstellung des Verfahrens gemäß einem zweiten Ausführungsbeispiel.

20

In den Figuren sind gleiche oder gleichwirkende Bestandteile jeweils mit dem gleichen Bezugszeichen versehen. Die schematischen Darstellungen sind nicht als maßstabsgerecht zu betrachten.

25

Bei dem Verfahren gemäß dem ersten Ausführungsbeispiel wird eine Mehrzahl von Leuchtdiodenchips auf Basis von Nitrid-III/V-Verbindungshalbleitermaterial hergestellt.

30

Es wird zunächst in einem Aufwuchssubstratwafer 1 aus Nitrid-basiertem Material, beispielsweise aus GaN, bereitgestellt. In dem Aufwuchssubstratwafer 1 wird eine im Wesentlichen parallel zu einer Hauptfläche 100 des Aufwuchssubstratwafers liegende Trennzone 4 ausgebildet (vgl. Figur 1a). Dies erfolgt vorzugsweise mittels Ionen-Implantation (beispielsweise von Wasserstoff) durch die Hauptfläche 100 des Aufwuchssubstratwafers 1 (angedeutet durch die Pfeile 3) hindurch. Die Trennzone 4 befindet sich hierbei im mit Ionen implantierten Bereich des Aufwuchssubstratwafers 1. Ein derartiges Verfahren ist prinzipiell beispielsweise aus der US 5,374,564 und aus der US 6,103,597 bekannt.

35

Nachfolgend wird der Aufwachssubstratwafer 1 mit einem
Hilfsträgerwafer 2 verbunden, und zwar vorzugsweise mit der
Hauptfläche 100 zum Hilfsträgerwafer 2 hin gerichtet (vgl.
5 Figur 1b).

Der Hilfsträgerwafer 2 ist für eine energiereiche elektromag-
netische Strahlung, insbesondere für Laserstrahlung, die für
ein späteres Laser-Abhebeverfahren (wie weiter unten erläu-
10 tert) verwendet wird, durchlässig. Bevorzugt ist der
Hilfsträgerwafer 2 für einen Wellenlängenbereich unterhalb
von 360 nm durchlässig. Vorzugsweise ist der Hilfsträgerwafer
2 hinsichtlich seines thermischen Ausdehnungskoeffizienten an
den Aufwachssubstratwafer 1 angepasst.

15 Der Hilfsträgerwafer 2 besteht beispielsweise im Wesentlichen
aus Saphir und/oder AlN. Der Hilfsträgerwafer 2 kann vorteil-
hafterweise polykristallin sind. Die Verbindung zwischen dem
Aufwachssubstratwafer 1 und dem Hilfsträgerwafer 2 kann bei-
20 spielsweise mittels Siliziumoxid hergestellt werden.

Danach wird ein aus Sicht der Trennzone 4 vom Hilfsträgerwa-
fer 2 abgewandter Teil 11 des Aufwachssubstratwafers 1 ent-
lang der Trennzone 4 abgetrennt, vorzugsweise thermisch abge-
25 sprengt (vgl. Figur 1c). Ein derartiges Verfahren ist prinzi-
piell beispielsweise wiederum aus der US 5,374,564 und aus
der US 6,103,597 bekannt.

Die durch den im vorigen Absatz erläuterten Trennprozess
30 freigelegte Trennfläche des auf dem Hilfsträgerwafer 2 ver-
bliebenen Teiles 12 des Aufwachssubstratwafers 1 wird nach-
folgend beispielsweise mittels Ätzen und/oder Schleifen der-
art präpariert, dass sie sich als Aufwachsfläche 121 für ein
epitaktisches Aufwachsen einer Halbleiterschichtenfolge 5 für
35 die vorgesehenen Halbleiterstrukturen eignet.

Die Halbleiterschichtenfolge 5 wird nachfolgend beispielsweise mittels metallorganischer Dampfphasenepitaxie (MOVPE) auf die Aufwachsfläche 121 aufgewachsen (vgl. Figur 1d).

5 Auf die vom Hilfsträgersubstrat 2 abgewandte Seite der Halbleiterschichtenfolge 5 wird eine beispielsweise metallische elektrische Kontaktschicht 6 aufgebracht. Diese Kontaktschicht 6 kann zum Beispiel aus einem herkömmlichen für das vorliegende Halbleitermaterialsystem geeigneten Kontakt-

10 schichtmaterial bestehen. Solche Kontaktschichtmaterialien sind dem zuständigen Fachmann bekannt und werden von daher an dieser Stelle nicht näher erläutert. Zusätzlich kann, wie es beispielsweise für die Herstellung von so genannten Dünnschicht-Leuchtdiodenchips erforderlich ist, zwischen Halbleiterschichtenfolge 5 und Kontaktschicht 6 oder auf die Kon-

15 taktschicht 6 eine reflektierende Schicht (nicht gezeigt) aufgebracht werden.

Danach wird die Halbleiterschichtenfolge 5 beispielsweise

20 mittels Maskieren und Ätzen zu einer Mehrzahl von Halbleiterschichtstapel 51 (Mesen) strukturiert (vgl. Figur 1e).

Auf die Flanken der Halbleiterschichtstapel 51 wird nachfolgend eine Passivierungsschicht 9 aufgebracht. Auch diese kann

25 aus einem herkömmlichen für das vorliegende Halbleitermaterialsystem geeigneten Passivierungsmaterial bestehen. Solche Passivierungsmaterialien sind dem zuständigen Fachmann wiederum geläufig und werden von daher an dieser Stelle nicht näher erläutert.

30 Nach diesen Prozess-Schritten werden die Halbleiterschichtstapel 51 auf ihrer vom Hilfsträgersubstrat 2 abgewandten Seite beispielsweise durch Bonden mit einem mechanisch vergleichsweise stabilen Chipsubstratwafer 7 verbunden (Figur

35 1f). Dieser besteht beispielsweise aus Ge, kann aber auch aus einem anderen geeigneten elektrisch leitfähigen Chipträgerma-

terial bestehen. Ein Beispiel hierfür ist GaAs. Ebenso eignen sich prinzipiell auch Metalle wie Mo oder Au.

Danach erfolgt durch den Hilfsträgerwafer 2 hindurch mittels
5 Laserstrahlung (in Figur 1g angedeutet durch die Pfeile 10)
ein Abheben des Hilfsträgerwafers 2 von den Halbleiter-
schichtstapeln 51. Dazu kann entweder die Verbindungsschicht
zwischen Hilfsträgerwafer und dem verbliebenen Teil des Auf-
wachssubstratwafers, beispielsweise eine Siliziumoxid-
10 Bondschicht, oder eine an der Grenzfläche zur oder in der Nä-
he der Verbindungsschicht befindliche Halbleiterschicht se-
lektiv thermisch zersetzt werden. Optional kann vor dem Ver-
binden des Hilfsträgerwafers 2 mit dem Aufwachssubstratwafer
1 auf den Hilfsträgerwafer 2 eine Opferschicht aufgebracht
15 werden, die dann bei diesem Abhebeschritt vermittels der La-
serstrahlung zersetzt wird.

Thermische Spannungen in der Struktur während der Bestrahlung
mittels Laserstrahlung erleichtern dabei die Rissausbreitung
20 in der Bondebene.

Geeignete Laser-Abhebe-Verfahren (auch Laser-Liftoff-
Verfahren genannt) sind beispielsweise aus der WO 98/14986
bekannt, deren Offenbarungsgehalt insofern hiermit durch
25 Rückbezug aufgenommen wird.

Nach dem Abheben des Hilfsträgerwafers 2 wird die dadurch
freigelegte Seite der Halbleiterschichtstapel 51 fertigpro-
zessiert. Hierbei können beispielsweise elektrische Kontakt-
30 strukturen 8 aufgebracht, eine Aufräuhung erzeugt und/oder
eine Passierungsschicht aufgebracht werden (vgl. Figur 1h).

Schließlich wird der Verbund aus Halbleiterschichtstapeln 51
und Chipträgerwafer 7 beispielsweise mittels Sägen und/oder
35 Brechen des Chipträgersubstratwafers 7 zwischen den Halblei-
terschichtstapeln 51 zu einzelnen Leuchtdiodenchips 20 ver-
einzelt (vgl. Figur 1 i).

Bei dem zweiten Ausführungsbeispiel entsprechen die Verfahrensschritte bis zum Aufbringen der epitaktischen Halbleiterschichtenfolge 5 (vgl. Figuren 2a bis 2d) den entsprechenden
5 Verfahrensschritten des ersten Ausführungsbeispiels (vgl. Figuren 1a bis 1d).

Im Unterschied zum ersten Ausführungsbeispiel wird die Halbleiterschichtenfolge 5 gegebenenfalls falls erforderlich inklusive Kontaktsicht 6 und in den nicht vor dem Aufbringen
10 des Chipträgersubstratwafers 7 zu Halbleiterschichtstapel 51 strukturiert, sondern erst nach Aufbringen des Chipträger-substratwafers 7 (vgl. Figur 2e) und Abtrennen des Hilfsträgerwafers 2 (vgl. Figur 2f). Die Kontaktschicht 6 ist in Fi-
15 gur 2d nur gestrichelt angedeutet und in den Figuren 2e bis 2h weggelassen, da sie beim konkreten Beispiel nicht erforderlich ist.

Das Aufbringen des Chipträgersubstratwafers 7 und das Abtrennen des Hilfsträgerwafers 2 erfolgt analog zu den entsprechenden Verfahrensschritten des oben beschriebenen ersten
20 Ausführungsbeispiels.

Nach dem Abtrennen des Hilfsträgersubstrats 2 wird die epitaktische Halbleiterschichtenfolge 5 zu einzelnen Halbleiterschichtstapeln 51 strukturiert und werden auf die Halbleiterschichtstapel 51 elektrische Kontaktschichten 81,82 aufgebracht (vgl. Figur 2g). Dies kann mittels herkömmlicher Mas-
25 ken- und Ätztechnik bzw. Metallisierungstechnik erfolgen.

30
Schließlich wird der Verbund aus Halbleiterschichtstapeln 51 und Chipträgerwafer 7 beispielsweise mittels Sägen und/oder Brechen des Chipträgersubstratwafers 7 zwischen den Halbleiterschichtstapeln 51 zu einzelnen Leuchtdiodenchips 20 ver-
35 einzelt (vgl. Figur 2h).

Die Erfindung ist selbstverständlich nicht durch die beispielhafte Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von einzelnen Merkmalen der verschiedenen Patentansprüche oder der verschiedenen Ausführungsbeispiele untereinander beinhaltet, auch wenn das betreffende Merkmal oder die betreffende Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Verfahren zum Herstellen einer Mehrzahl von Halbleiterchips (20), insbesondere von strahlungsemitierenden Halbleiterchips, mit jeweils mindestens einem epitaktisch hergestellten funktionellen Halbleiterschichtstapel (51), das folgende Verfahrensschritte umfaßt:
- Bereitstellen eines Aufwachssubstratwafers (1), der im Wesentlichen Halbleitermaterial aus einem hinsichtlich Gitterparameter gleichen oder ähnlichen Halbleitermaterialsystem umfaßt wie dasjenige, auf dem eine Halbleiterschichtenfolge (5) für die funktionellen Halbleiterschichtstapel (51) basiert,
 - Ausbilden einer parallel zu einer Hauptfläche (100) des Aufwachssubstratwafers (1) liegende Trennzone (4) im Aufwachssubstratwafer (1),
 - Verbinden des Aufwachssubstratwafers (1) mit einem Hilfsträgerwafer (2),
 - Abtrennen eines aus Sicht der Trennzone (4) vom Hilfsträgerwafer (2) abgewandten Teiles (11) des Aufwachssubstratwafers (1) entlang der Trennzone (4),
 - Ausbilden einer Aufwachsfläche (121) auf dem auf dem Hilfsträgerwafer (2) verbliebenen Teil (12) des Aufwachssubstratwafers für ein nachfolgendes epitaktisches Aufwachsen einer Halbleiterschichtenfolge (5),
 - Epitaktisches Aufwachsen der Halbleiterschichtenfolge (5) auf die Aufwachsfläche (121),
 - Aufbringen eines Chipsubstratwafers (7) auf die Halbleiterschichtenfolge (5),
 - Abtrennen des Hilfsträgerwafers (2), und
 - Vereinzeln des Verbundes von Halbleiterschichtenfolge (5) und Chipsubstratwafer (7) zu voneinander getrennten Halbleiterchips (20).
2. Verfahren nach Anspruch 1, bei dem vor dem Aufbringen des Chipsubstratwafers (7) die Halbleiterschichtenfolge (5) zu einer Mehrzahl von nebeneinander auf dem Hilfsträgerwafer

- (2) angeordneten epitaktischen Halbleiterschichtstapeln (51) strukturiert wird.
3. Verfahren nach Anspruch 2, bei dem zumindest Flanken der epitaktischen Halbleiterschichtstapel (51) zumindest teilweise mit Passivierungsmaterial (9) versehen werden.
4. Verfahren nach mindestens einem der Ansprüche 1 bis 3, bei dem vor dem Aufbringen des Chipsubstratwafers (7) die epitaktische Halbleiterschichtenfolge (5) mit einer elektrischen Kontaktschicht (6) versehen wird.
5. Verfahren nach mindestens einem der Ansprüche 1 bis 4, bei dem die Trennzone (4) mittels Ionen-Implantation erzeugt wird.
6. Verfahren nach Anspruch 5, bei dem Wasserstoff implantiert wird.
7. Verfahren nach mindestens einem der Ansprüche 1 bis 6, bei dem der aus Sicht der Trennzone (4) vom Hilfsträgerwafer (2) abgewandte Teil (11) des Aufwachssubstratwafers (1) entlang der Trennzone (4) thermisch abgesprengt wird.
8. Verfahren nach mindestens einem der Ansprüche 1 bis 7, bei dem der Hilfsträgerwafer (2) für elektromagnetische Strahlung mit Wellenlängen unterhalb von 360 nm durchlässig ist.
9. Verfahren nach mindestens einem der Ansprüche 1 bis 8, bei dem der Hilfsträgerwafer für energiereiche elektromagnetische Strahlung, insbesondere für Laserstrahlung durchlässig ist.
10. Verfahren nach Anspruch 9, bei dem der Hilfsträgerwafer (2) mittels eines Laser-Abhebeverfahrens von der Halbleiterschichtenfolge (5) bzw. von den Halbleiterschichtsta-

15

peln (51) abgetrennt wird.

11. Verfahren nach mindestens einem der Ansprüche 1 bis 10,
bei dem der Hilfsträgerwafer (2) hinsichtlich seines ther-
5 mischen Ausdehnungskoeffizienten an den Aufwachssubstrat-
wafer (1) angepasst ist.
12. Verfahren nach mindestens einem der Ansprüche 1 bis 11,
bei dem der Hilfsträgerwafer (2) polykristallin ist.
- 10 13. Verfahren nach mindestens einem der Ansprüche 1 bis 12,
bei dem die Verbindung zwischen dem Aufwachssubstratwafer
(1) und dem Hilfsträgerwafer (2) mittels Siliziumoxid
hergestellt wird.
- 15 14. Verfahren nach mindestens einem der Ansprüche 1 bis 13,
bei dem die Halbleiterschichtenfolge (5) mindestens eine
Halbleiterschicht auf der Basis von GaN umfasst und das
Material des Aufwachssubstratwafers (1) ebenfalls auf GaN
20 basiert.
15. Verfahren nach Anspruch 14, bei dem der Hilfsträgerwafer
(2) aus Saphir und/oder AlN besteht.
- 25 16. Verfahren nach mindestens einem der Ansprüche 1 bis 15,
bei dem die Aufwachsfläche (121) mittels Ätzen und/oder
Schleifen für das epitaktische Aufwachsen der Halbleiter-
schichtenfolge (5) präpariert wird.

1/6

FIG 1a

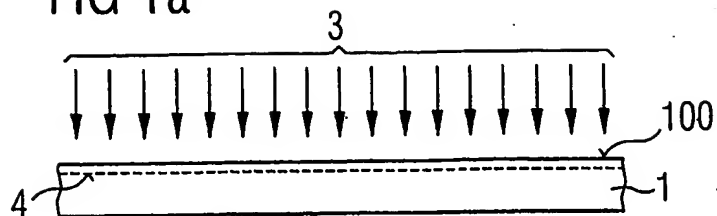


FIG 1b

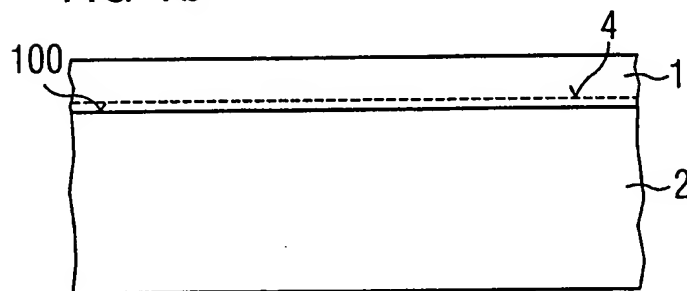
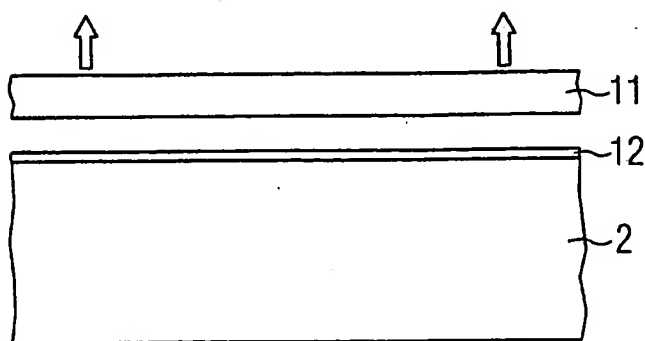


FIG 1c



2/6

FIG 1d

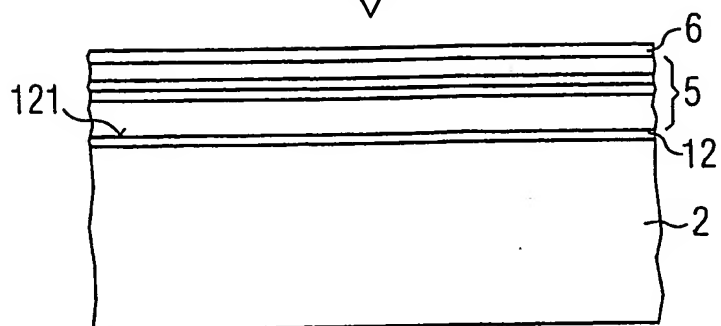


FIG 1e

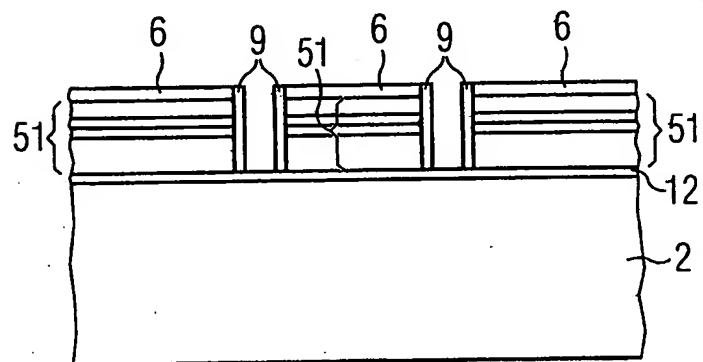
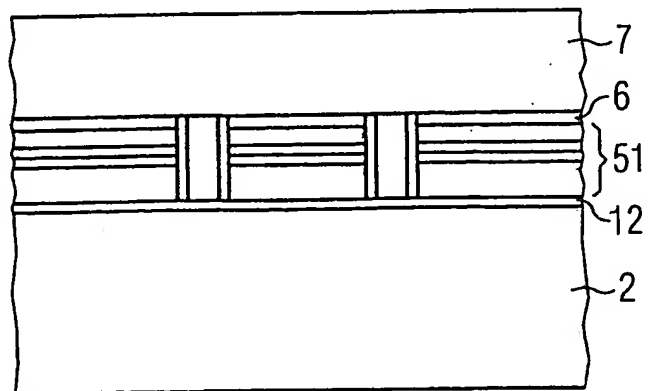


FIG 1f



3/6

FIG 1g

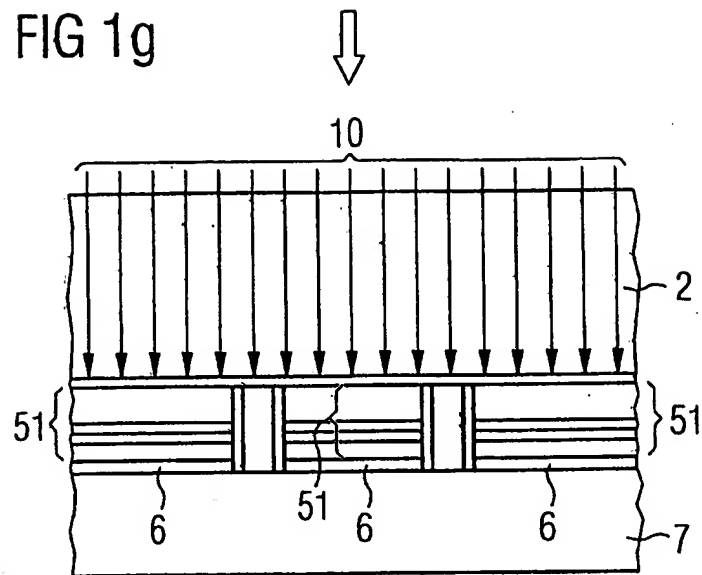


FIG 1h

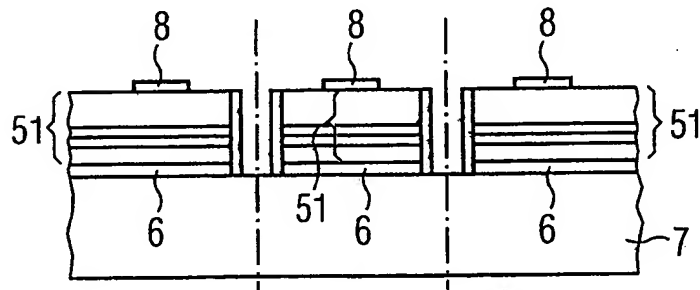
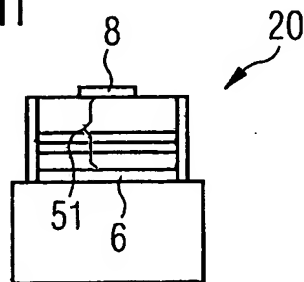


FIG 1i



4/6

FIG 2a

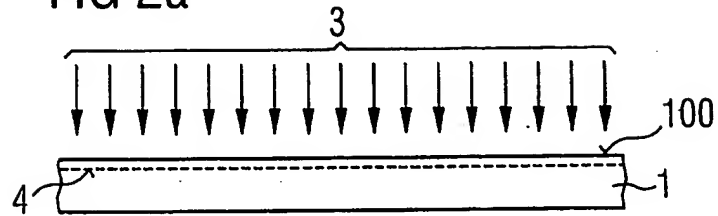


FIG 2b

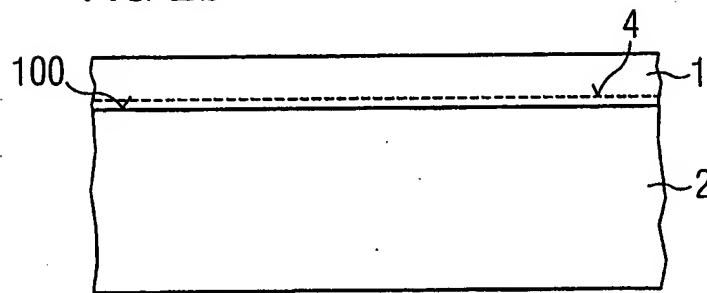
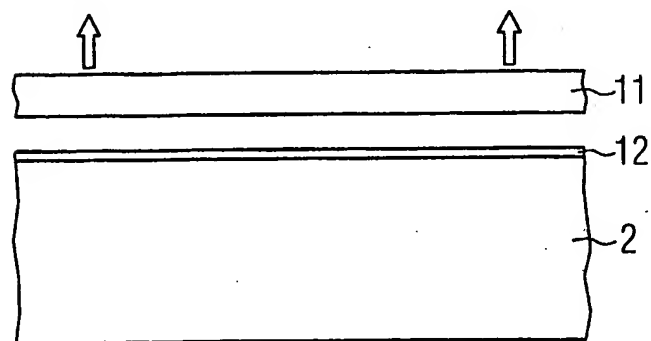


FIG 2c



5/6

FIG 2d

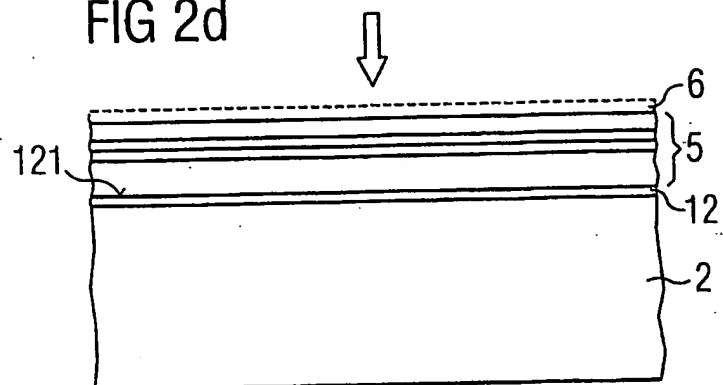


FIG 2e

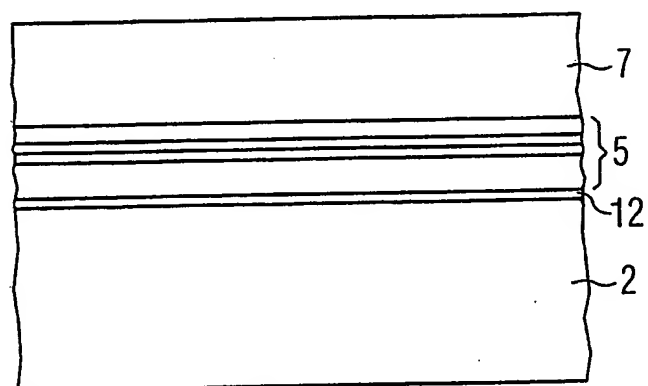


FIG 2f

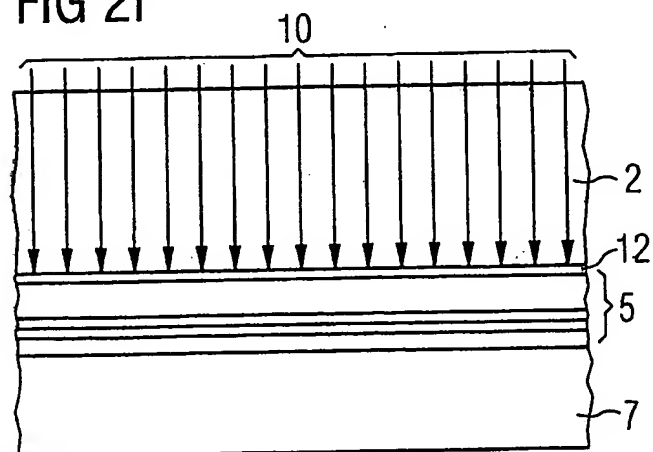


FIG 2g

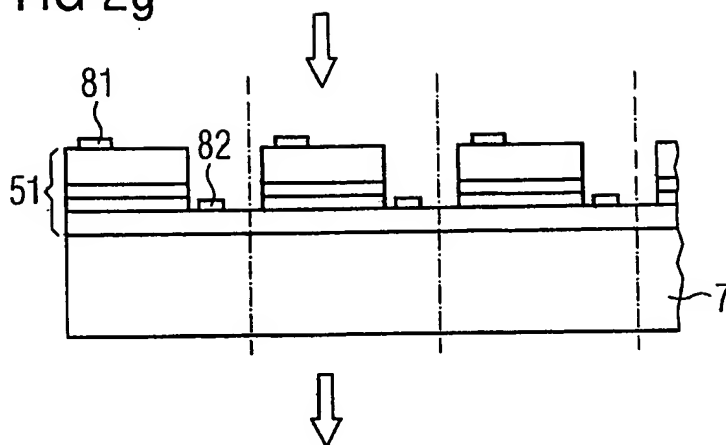
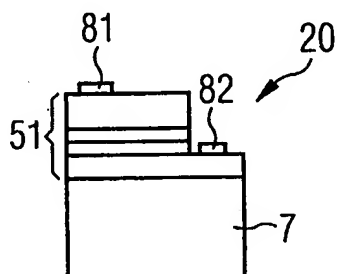


FIG 2h



INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/DE2004/001329

 A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L21/762 H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 02/33760 A (HAERLE VOLKER ; HAHN BERTHOLD (DE); BADER STEFAN (DE); EISERT DOMINIK) 25 April 2002 (2002-04-25) the whole document	1-16
Y	WO 02/37556 A (COMMISSARIAT ENERGIE ATOMIQUE ; ASPAR BERNARD (FR); JALAGUIER ERIC (FR) 10 May 2002 (2002-05-10) the whole document	1-16
Y	WO 02/43112 A (GHYSELEN BRUNO ; LETERTRE FABRICE (FR); S O I TEC SILICON ON INSULATOR) 30 May 2002 (2002-05-30) the whole document	1-16
A	US 2003/113983 A1 (HENLEY FRANCOIS J ET AL) 19 June 2003 (2003-06-19) the whole document	1
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *G* document member of the same patent family

Date of the actual completion of the international search

14 October 2004

Date of mailing of the international search report

27/10/2004

Name and mailing address of the ISA

 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Rodríguez-Gironés, M

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/001329

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 244 139 A (MATSUSHITA ELECTRIC IND CO LTD) 25 September 2002 (2002-09-25) paragraph '0029! - paragraph '0040! -----	8-10

Information on patent family members

PGT/DE2004/001329

Form PCT/ISA/210 (patent family annex) (January 2004)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001329

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003113983 A1		US 6162705 A	19-12-2000
		US 6290804 B1	18-09-2001
		US 2002081823 A1	27-06-2002
		US 6413837 B1	02-07-2002
		US 6528391 B1	04-03-2003
		US 6187110 B1	13-02-2001
		US 6294814 B1	25-09-2001
		US 2002106870 A1	08-08-2002
		US 6558802 B1	06-05-2003
		US 6335264 B1	01-01-2002
		US 6458672 B1	01-10-2002
		US 2002056519 A1	16-05-2002
EP 1244139 A	25-09-2002	EP 1244139 A2	25-09-2002
		JP 2003007616 A	10-01-2003
		US 2002137248 A1	26-09-2002

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001329

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/762 H01L33/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 02/33760 A (HAERLE VOLKER ; HAHN BERTHOLD (DE); BADER STEFAN (DE); EISERT DOMINIK) 25. April 2002 (2002-04-25) das ganze Dokument	1-16
Y	WO 02/37556 A (COMMISSARIAT ENERGIE ATOMIQUE ; ASPAR BERNARD (FR); JALAGUIER ERIC (FR) 10. Mai 2002 (2002-05-10) das ganze Dokument	1-16
Y	WO 02/43112 A (GHYSELEN BRUNO ; LETERTRE FABRICE (FR); S O I TEC SILICON ON INSULATOR) 30. Mai 2002 (2002-05-30) das ganze Dokument	1-16
A	US 2003/113983 A1 (HENLEY FRANCOIS J ET AL) 19. Juni 2003 (2003-06-19) das ganze Dokument	1

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

14. Oktober 2004

Absenddatum des Internationalen Recherchenberichts

27/10/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Rodríguez-Gironés, M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 1 244 139 A (MATSUSHITA ELECTRIC IND CO LTD) 25. September 2002 (2002-09-25) Absatz '0029! - Absatz '0040! -----	8-10

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

CT/DE2004/001329

Formblatt PCT/SA/210 (Anhang Patentfamilie) (Januar 2004)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001329

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2003113983 A1		US 6162705 A	19-12-2000
		US 6290804 B1	18-09-2001
		US 2002081823 A1	27-06-2002
		US 6413837 B1	02-07-2002
		US 6528391 B1	04-03-2003
		US 6187110 B1	13-02-2001
		US 6294814 B1	25-09-2001
		US 2002106870 A1	08-08-2002
		US 6558802 B1	06-05-2003
		US 6335264 B1	01-01-2002
		US 6458672 B1	01-10-2002
		US 2002056519 A1	16-05-2002
EP 1244139 A	25-09-2002	EP 1244139 A2	25-09-2002
		JP 2003007616 A	10-01-2003
		US 2002137248 A1	26-09-2002